

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-043531

(43)Date of publication of application : 08.02.2002

(51)Int.Cl.

H01L 27/04  
 H01L 21/822  
 H01L 21/60  
 H01L 21/82

(21)Application number : 2000-230059

(71)Applicant : SHARP CORP

(22)Date of filing : 28.07.2000

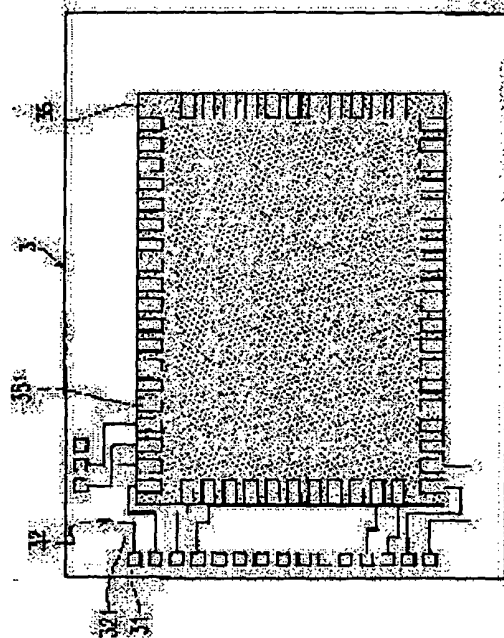
(72)Inventor : HAYASHI HIROTAKE

### (54) SYSTEM DEVICE AND MANUFACTURING METHOD THEREOF

#### (57)Abstract:

**PROBLEM TO BE SOLVED:** To cut down the time and labor required for the design and development of a new machine kind when the alteration of the expansion of the machine kind of a chip, etc., are generated.

**SOLUTION:** In a one-chip microcomputer chip 3, as the terminal layout constitution of one chip of the two chips mounted on a stacked package, there are adopted layout design data wherein the input/output circuit portions of the chip 3 are so included in the circuit having the intrinsic specification of the chip 3 as to make possible the disposals of its pad portions 31 in free and optimum positions, by separating from each other its input/output circuit portions and its pad portions 31. That is, without designing again from its initial process all the layouts of the terminal disposals of the chip to be an object, the respective pad portions 31 can be so provided arbitrarily that their positions become the shortest ones to respective input/output terminals 21 of a flash memory chip 2.



### LEGAL STATUS

[Date of request for examination] 09.07.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-43531

(P2002-43531A)

(43) 公開日 平成14年2月8日 (2002.2.8)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テ-マ-ト*(参考)
H 0 1 L 27/04		H 0 1 L 21/60	3 0 1 N 5 F 0 3 8
21/822		27/04	E 5 F 0 4 4
21/60	3 0 1	21/82	P 5 F 0 6 4
21/82			

審査請求 未請求 請求項の数4 O L (全 7 頁)

(21) 出願番号 特願2000-230059(P2000-230059)

(22) 出願日 平成12年7月28日 (2000.7.28)

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 林 裕▲丈▼

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(74) 代理人 100078282

弁理士 山本 秀策

Fターム(参考) 5F038 BE07 CA03 CA05 CA10 DF04

DF05 EZ07 EZ08 EZ20

5F044 EE02

5F064 AA01 AA07 AA11 BB09 BB10

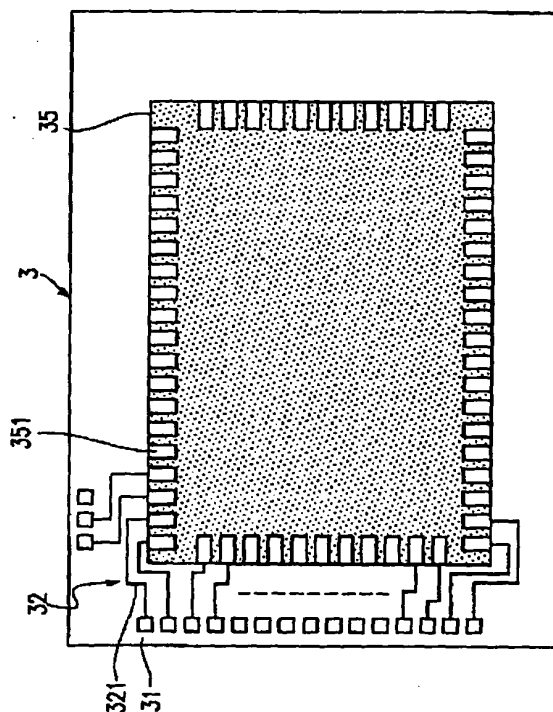
BB12 DD32 DD42 HH12

(54) 【発明の名称】 システムデバイスおよびその製造方法

(57) 【要約】

【課題】新たにチップの機種展開の変更などが発生した場合に、機種設計開発にかかる時間と労力を削減することができる。

【解決手段】1チップマイクロコンピュータチップ3は、スタックドパッケージに搭載する2チップのうちの一方チップの端子レイアウト構成として、入出力回路部とパッド部31を分離して、入出力回路部をチップ本来の仕様を有する回路内に含めたレイアウト設計データとすることにより、パッド部31の自由で最適な個所への配置を可能にしている。つまり、対象となるチップの端子配置に対して最初の工程からの全レイアウトの設計をやり直すことなく、フラッシュメモリチップ2の各入出力端子21に対して最短位置となるように、各パッド部31を任意に配置することが可能となる。



**【特許請求の範囲】**

【請求項1】 複数チップをパッケージ内に実装したシステムデバイスにおいて、該パッケージ内に搭載する少なくとも1チップの各入出力端子の入出力回路部と入出力接続部とをそれぞれ分離することにより、各入出力接続部を任意に配置可能とするべく、該入力回路部をチップ本来の仕様回路側に設けたシステムデバイス。

【請求項2】 前記複数チップのうち少なくとも1チップは既存の設計データまたは専用設計データから作られた半導体集積回路とし、他の少なくとも1チップは、前記分離した入出力接続部を、該既存の1チップの対応した入出力接続部との距離が最短となるように配置した半導体集積回路である請求項1記載のシステムデバイス。

【請求項3】 複数チップをパッケージ内に実装するシステムデバイスの製造方法において、該複数チップのうち少なくとも1チップとして既存チップを用意し、残りのチップのうち少なくとも1チップは、その各入出力端子の入出力回路部と該入出力接続部とをそれぞれ分離して、該入出力回路部をチップ本来の仕様回路側に設けることにより、その分離した入出力接続部を、該既存チップの対応した入出力接続部との距離が最短となるように形成するシステムデバイスの製造方法。

【請求項4】 請求項3記載のシステムデバイスの製造方法において、前記残りのチップのうち少なくとも1チップはウエハ状態で、前記入出力回路部と入出力接続部間の配線工程の前工程まで準備しておき、前記既存のチップに応じて配線パターンのみを変更してウエハ工程を済ませた後に、樹脂封止により一体的に形成するシステムデバイスの製造方法。

**【発明の詳細な説明】****【0001】**

【発明の属する技術分野】 本発明は、例えば1チップマイクロコンピュータチップおよびフラッシュメモリチップなどの複数チップをパッケージ内に実装したシステムデバイスおよびその製造方法に関する。

**【0002】**

【従来の技術】 従来、この種のシステムデバイスは、既存のマイクロコンピュータと、ロジック部とを組合せた半導体回路装置で構成されている。この複合デバイスを設計する場合、例えば特開平3-23658号公報に示すように、マイクロコンピュータの設計データとロジック部の設計データとを併せて、1つのチップ内にマイクロコンピュータとロジック部とを一体化することが提案されている。この場合は、ロジック部やマイクロコンピュータ部に変更があった場合には、その都度、初めから全設計をやり直す必要があり、設計効率が悪った。

【0003】 これに対して、例えば上記2つの機能部（マイクロコンピュータとロジック部）を別々のチップとして用意しておき、スタックドパッケージ方式を使って1つのシステムデバイスを形成する方法が考えられ

る。

【0004】 ここで、2チップ構成のシステムデバイスをスタックドパッケージ技術を用いて形成する場合について、以下に図3および図4を参照して詳細に説明する。

【0005】 図3は従来のシステムデバイスの概略的なレイアウト構成例を示す平面図である。図3において、システムデバイス200は、1チップマイクロコンピュータチップ210と、その内側で積層されたフラッシュメモリチップ220とを有している。1チップマイクロコンピュータチップ210は両端縁に複数個の入出力端子211を有し、フラッシュメモリチップ220も外周端縁に複数個の入出力端子221を有している。双方の入出力端子211、221において、共有となる端子はスタックドパッケージのデザインルールに従って配置され、アセンブリ時にインナーリード230にワイヤにて接続されるようになっている。

【0006】 これらの1チップマイクロコンピュータチップ210とフラッシュメモリチップ220は、スタックドパッケージ化されている。この場合、2つのチップのうちフラッシュメモリチップ220の端子配置に対して、1チップマイクロコンピュータチップ210の端子配置をスタックドパッケージの技術を最大限に活用するために、スタックドパッケージ化に伴うデザインルールに従い端子配置しておき、アセンブリの際に、アドレスバス信号、データバス信号、制御信号用の双方チップの入出力端子211、221のパッド部同士をリードフレームのインナーリード230に接続するようになっている。

【0007】 図4の(a)は従来の入出力端子の回路図、(b)はそのレイアウト構成図である。図4の

(a)において、入出力端子211（または221）は入出力回路部211a（または221a）とパッド部211b（または221b）とで構成されており、入力回路、出力回路、入出力回路、特有な専用回路と言った入出力回路部211a（または221a）にパッド部211b（または221b）が付加された図4の(b)のようなレイアウト構成になっている。

【0008】 これらの入出力回路部211a（または221a）とパッド部211b（または221b）は、チップ内部の設計データとは別にレイアウトデータを得ることにより、レイアウト設計を行っていた。各チップのレイアウトデータは、機能ブロック（仕様回路部）と入出力端子211または221を一つのレイアウト設計データとして扱っている。即ち、このようなレイアウト構成を有したレイアウト設計データを、スタックドパッケージのデザインルールに従い、仕様を満たす端子数に相当する端子の該当数だけ配置し、最初の工程から機能ブロックも含めて再レイアウトを行う必要が生じる。つまり、フラッシュメモリチップ220の端子配置に対して

1チップマイクロコンピュータチップ210側の端子配置を最適な配置にする場合、従来の端子レイアウト構成のままのチップの設計データを使おうとすると、最初のレイアウト工程からの全レイアウト設計が必要になってしまう。

【0009】

【発明が解決しようとする課題】しかし、上記従来の設計開発手法では、以下に示すような問題を有していた。例えばフラッシュメモリチップ220における入出力端子221の端子配置に対する、1チップマイクロコンピュータチップ210側における入出力端子211の端子配置を、従来の端子レイアウト構成で設計開発を行った際に、スタックドパッケージに搭載するフラッシュメモリチップ220の端子配置のみしか対応できず、新たに1チップマイクロコンピュータチップ210とフラッシュメモリチップ220以外の機種展開の変更などが発生した場合、再度、対象となるチップの端子配置に対して1チップマイクロコンピュータチップ210側の端子配置を最初の工程からの全レイアウト設計をやり直さなければならない、機種設計開発に多大な時間と労力が費やされていた。

【0010】本発明は、上記従来の問題を解決するもので、新たにチップの機種展開の変更などが発生した場合にも、機種設計開発にかかる時間と労力を削減することができるシステムデバイスを提供することを目的とする。

【0011】

【課題を解決するための手段】本発明のシステムデバイスは、複数チップをパッケージ内に実装したシステムデバイスにおいて、該パッケージ内に搭載する少なくとも1チップの各入出力端子の入出力回路部と入出力接続部とをそれぞれ分離することにより、各入出力接続部を任意に配置可能とするべく、該入力回路部をチップ本来の仕様回路側に設けたものであり、そのことにより上記目的が達成される。

【0012】上記構成により、1チップの各入出力端子の入出力回路部と入出力接続部とを分離して入力回路部をチップ本来の仕様回路側に設けるようにしたので、フレキシブルなパッド配置が可能となつて、新たにチップの機種展開の変更などが発生した場合にも、再度、対象となるチップの端子配置に対して最初の工程からの全レイアウトの設計をやり直す必要がなくなり、機種設計開発にかかる時間と労力を削減することが可能となる。

【0013】また、好ましくは、本発明のシステムデバイスにおいて、複数チップのうち少なくとも1チップは既存の設計データまたは専用設計データから作られた半導体集積回路とし、他の少なくとも1チップは、分離した入出力接続部を、既存1チップの、対応した入出力接続部との距離が最短となるように配置した半導体集積回路である。また、好ましくは、本発明のシステムデバイ

スの製造方法は、複数チップをパッケージ内に実装するシステムデバイスの製造方法において、複数チップのうち少なくとも1チップとして既存チップを用意し、残りのチップのうち少なくとも1チップは、その各入出力端子の入出力回路部と入出力接続部とをそれぞれ分離して、入出力回路部をチップ本来の仕様回路側に設けることにより、その分離した入出力接続部を、該既存チップの対応した入出力接続部との距離が最短となるように形成するものであり、そのことにより上記目的が達成される。

【0014】上記構成により、フレキシブルなパッド配置が可能なチップと他の既存チップとを例えばスタックド化する際に、前者のチップは、後者のチップの該当端子に対して最短位置にパッド配置することが可能となる。よって、フレキシブルな入出力接続部とこれに対応する既存チップの入出力接続部とを接続するだけでよいので、新たにチップの機種展開の変更などが発生した場合にも、従来のように最初の工程からのレイアウト変更を行う必要がなくなる。

【0015】さらに、好ましくは、請求項3記載のシステムデバイスの製造方法において、残りのチップのうち少なくとも1チップはウエハ状態で、入出力回路部と入出力接続部間の配線工程の前工程まで準備しておき、既存のチップに応じて配線パターンのみを変更してウエハ工程を済ませた後に、これらのチップをスタック形成してワイヤボンディングを行い、樹脂封止により一体的に形成するようにしてもよい。

【0016】この構成により、配線前の工程までウエハを作りだめした場合には、ユーザ仕様が解った段階で、メタル配線データを設計すればよく、また、配線工程までウエハを作りだめした場合には、ユーザ仕様が解った段階で、メタル配線データのみを設計し直したりすることで、開発期間の短縮ができるし、更には、メタル配線だけではなく、入出力接続部単位での並べ替えを、相手のチップに合わせて最適な配置状態とすることも簡単にできる。これらの場合に、開発期間短縮とコストダウンと言う立場で考えると、上記のウエハをメタル配線工程の前まで準備しておく方式が、最も有効である。

【0017】

【発明の実施の形態】以下、本発明のシステムデバイスを半導体スタックデバイスに適用した場合の実施形態について図面を参照しながら説明するが、まず、半導体スタックデバイスを構成する半導体1チップマイクロコンピュータチップについて説明する。

【0018】図1は、本発明の一実施形態における概略的な1チップマイクロコンピュータチップのレイアウト構成図である。図1において、半導体デバイスとしての1チップマイクロコンピュータチップ3は、内部回路35と、内部回路35の外周縁部に配設された入出力端子351とパッド部31とを接続する接続ライン321

(配線パターンなどのメタル配線層)およびパッド部31を含むの配線エリア32とを有している。接続ライン321は配線パターンなどのメタル配線層(メタル層の1層、2層、3層)で構成されている。また、パッド部31の配置は、マイクロコンピュータ単体としてパッケージングする場合に最適な端子配置を示している。本発明においては、詳細に後述するが、入出力回路部とパッド部31を分離して、入出力回路部をチップ本来の仕様を有する内部回路35内に含めたレイアウトとしている。これによって、パッド部31は、スタックドパッケージに搭載する際、対象となるチップ(後述する例えばフラッシュメモリチップ2)の端子配置の、後述するパッド部21とワイヤボンディングする時、最良な位置に配置することができるものである。

【0019】図2は、本発明の一実施形態における半導体スタックデバイスの平面図である。図2において、システムデバイスとしての半導体スタックデバイス1は、フラッシュメモリチップ2と、1チップマイクロコンピュータチップ3とを1パッケージ内に実装したものである。

【0020】フラッシュメモリチップ2としては、スタックパッケージ品のマイクロコンピュータに搭載する場合、既存のチップを採用する。したがって、フラッシュメモリチップ2には、フラッシュメモリ2の仕様を満たす入出力端子21が外周縁部に複数個、レイアウトされている。この入出力端子21には入出力回路部および、入出力接続部としてのパッド部を含んでレイアウトされている。

【0021】1チップマイクロコンピュータチップ3は、スタックドパッケージに搭載する2チップのうちの一方チップの端子レイアウト構成として、入出力回路部とパッド部31を分離して、入出力回路部をチップ本来の仕様を有する内部回路35内に含めたレイアウト設計データとすることにより、パッド部31の自由で最適な箇所への配置を可能にしている。つまり、対象となるチップの端子配置に対して最初の工程からの全レイアウトの設計をやり直すことなく、フラッシュメモリチップ2の各入出力端子21に対して最短位置となるように、各パッド部31を任意に配置することが可能となる。このパッド部31はワイヤなどの接続ライン(図示せず)を介して、対応する入出力端子21に接続されるようになっている。

【0022】1チップマイクロコンピュータチップ3の入出力端子としては、1チップマイクロコンピュータチップ3が本来兼ね備えている端子の数と、スタックドパッケージに搭載される双方のチップをテストする場合を考慮した端子も含まれており、レイアウトデザインルールに従ってマイクロコンピュータ内の入出力に係る全セルが必要である。

【0023】ここで、パッド部31の配置に関して柔軟

性に富んだ(フレキシブルな)レイアウトデータを有するスタックドパッケージ搭載チップの開発手法(半導体スタックデバイス1の製造方法)について以下に詳細に説明する。

【0024】本発明は、システムLSIの開発に当たって、従来からある設計資産を活用して、開発期間を大幅に短縮し、且つコストダウンを達成するための技術に関するものであり、ASIC(Application Specified IC; カスタムICや、専用標準ICのPLDやASSPなど)の開発にも適用できる。その一環として、スタックドパッケージを使って、各設計資産を各々のチップにし、これらチップを集めて見かけ上一つのLSI(大規模集積回路)と同様のシステム(LSI)デバイスを実現するものである。

【0025】本実施形態では、スタックドパッケージに搭載する対象となるフラッシュメモリチップ2の入出力端子21の配置に対応させるように、1チップマイクロコンピュータチップ3のパッド部31をフレキシブルに配置し、このパッド部31に対応する入出力回路部を配線層(メタル配線パターン)にて接続する。新たにチップの機種展開の変更などが発生した場合にも、ワイヤによる配線や、配線層として使用される第1配線層(シングルメタル)等の最終レイアウト工程に近い工程から開始できるので、開発効率による期間短縮を可能とした技術を提供することができるのである。

【0026】配置されたフラッシュメモリチップ2に対応するレイアウトセル(パッド部31)と、フラッシュメモリチップ2の仕様回路レイアウト部(入出力端子21)は、一度、レイアウトデータとして完成させておくことで、以後、レイアウトデータを変更することなく、メタル配線パターンのみの変更で対応でき、使用できるレイアウトデータセルである。レイアウトデータとして完成させておくことは、将来、一部のセル移動のみで開発を行うケースもあるからである。そのフラッシュメモリチップ2内に配置されているセル(入出力端子21)をマイクロコンピュータチップ3のパッド部31のセルと接続する際に、使用するプロセスにも依るが、シングルメタル、ダブルメタル、トリプルメタルと言った使用プロセスの材質を使用した工程からレイアウトを開始して、パッド部31のセルと接続し、最短の位置にパッド部31のセルを配置することが可能となる。

【0027】要するに、既存のフラッシュメモリチップ2には変更なく、大量に用意されている。これに対して、マイクロコンピュータチップ3を、対応する入出力端子のパッド部31が最短の配置となるように、既存の設計データを活かして、入出力に係るパッド部31のみ設計変更で対応し、プロセスを経てマイクロコンピュータチップ3が製作される。これらのチップ同士をスタックし、各パッド部間をワイヤで接続する。

【0028】以上のように、フラッシュメモリチップ2

などの既存の標準チップを使って、マイクロコンピュータチップ3をスタックドパッケージで実装する本実施形態において、メモリであれば、普通、アドレス端子や、データ端子などの配置は、ある程度決まっているので、新たにこれらのメモリに対する、スタックすべきマイクロコンピュータチップ3を設計開発する場合には、マイクロコンピュータチップ3側の入出力に関わる入出力端子は、一般的なメモリの入出力端子に近いところに（対応する様に）設計データとしてセル単位で用意しておく。マイクロコンピュータチップ3のユーザからの仕様が決まったときに、入出力関係のセルだけを、スタックする相手のメモリに合わせて、パッド部31の配置だけを修正する。こうすることで、マイクロコンピュータチップ3の完成までの工程を短縮化することができる。

【0029】次に、今回の実施形態の場合に関しては、まずメモリ部分の設計データは、ほぼそのまま使用する。つまり、メモリは標準品として扱うので、配線工程前までウエハ状態で作りだめしておいても良いし、若しくは配線工程まで済ませてやはりウエハ状態で作りだめしておいても良い。

【0030】例えば、同一パッケージ内に搭載する2チップの端子配置は、端子配置を合わそうとする1チップマイクロコンピュータチップ3側が機種展開による開発機種のベースとなるチップの時、信号端子を構成するパッド部31が接続されていない入出力回路部（パッド部以外のこと）までレイアウトを行っておく。この1チップマイクロコンピュータチップ3をベースとしたスタックドパッケージ技術を利用した開発展開機種の仕様に合う搭載チップであるフラッシュメモリチップ2の端子配置に対しては、最適なパッド部31の配置による接続（メタル配線のための修正）を行うだけでよい。メタル配線前の工程までウエハを作りだめしておける。このように、パッド部31の配置のみ自由に設定するレイアウトを行うことにより、最初からの再度のレイアウト変更を必要とせず、スタックドパッケージ技術を用いた開発効率の大幅な向上を図ることができる。

【0031】また、設計資産（データ）をできるだけ活用して、開発期間短縮とコストダウンをするために、上記の場合でもマイクロコンピュータチップ3に対してはウエハ状態で、メタル配線工程まで作りだめしておいて、スタックする相手のフラッシュメモリチップ2の入出力端子21に合わせて、配線データの変更のみで対応することもできる。この場合は、メタル配線工程まで為されているために、フラッシュメモリチップ2の入出力端子21に合わせた最適設計にはならないが、厳しい仕様を必要としない場合は、トータルのコストを安くできて有効である。勿論、開発期間の短縮化も達成できることは言うまでもないことである。ここで、開発期間短縮とコストダウンと言う立場で考えると、上記のウエハをメタル配線工程の前までつくりだめしておく方式が、最

も有効と言える。この場合、マイクロコンピュータチップ3側の設計データは、入出力に関わるセルのパッド部31の変更（移動）は無い。つまり、メタル配線のデータだけを変更すればよい。

【0032】また、他のやり方として、マイクロコンピュータチップ3の入出力に関わるパッド部31の配置のみを、スタックする相手のチップ（フラッシュメモリチップ2）の入出力端子21に合わせて変更することでも、開発期間の短縮と言う点では効果がある。この場合は、パッド部31の配置が為されていることで、マスク（レイヤー）としては全層の変更となるので、上記メタル配線のみの変更の場合と比べて、コスト上のメリットは少ない。

【0033】以上のように、マイクロコンピュータに対して、ユーザ等からの仕様に基づいて、従来の設計資産（データ）を活かして一部修正（メタル配線の変更、パッドレイアウト変更など）などで対応することができる。つまり、マイクロコンピュータチップ3の開発完了期間は、新たに設計から行う場合に比べて、大幅に短縮できる。

【0034】したがって、本実施形態では、既存の設計データに基づいたフラッシュメモリチップ2を、大量に用意しておくことでメモリ部分はコストダウンできている。マイクロコンピュータチップ3の設計データについても、今回組み合わせるメモリに合わせて、スタック実装されたときに最適な配線パターンとなるように、データを修正できる。つまり、従来からある設計データを少し修正する（メタル配線の変更、セル単位での配置換え）だけなので、設計に関わる開発期間はかなり短縮できる。例えば、メモリと同じようにメタル配線前の工程までウエハを作りだめしておき、ユーザ仕様が解った段階で、メタル配線データを設計したり、また、メタル配線工程までウエハを作りだめしておき、ユーザ仕様が解った段階で、メタル配線データのみを設計し直したりすることで、開発期間の短縮ができる。更には、メタル配線だけではなく、設計データを修正するにしても、チップ内のセル（パッド部31）単位での並べ替えを、相手のフラッシュメモリチップ2の該当パッド部に合わせて最適な配置状態とすることによっても、開発期間の短縮ができる。これらの場合に、開発期間短縮とコストダウンと言う立場で考えると、上記のウエハをメタル配線工程の前まで準備しておく方式が、最も有効である。

【0035】このシステムデバイスの開発手法（製造方法）を、従来技術である特開平3-23658号公報などのようなマイクロコンピュータ部とメモリ部を同じチップで実現する場合と比較すると、システムトータルで考えて、大幅な開発期間短縮とコストダウンが達成できる。つまり、パッド部31とそれに対応する入出力回路部とを接続する配線層（メタル配線）の工程からのレイアウトでよいので、開発期間の大幅な短縮が図られる。

【0036】以上のように、本実施形態によれば、一度、1チップマイクロコンピュータチップ3の仕様回路部分に入出力端子の入出力回路部までを含めた仕様を満たす回路のレイアウトが為された設計データを作成しておくことで、この仕様をベースとして機種展開を行う際、スタックドパッケージに搭載する相手方のフラッシュメモリチップ2の入出力端子21の配置に対して、少なくとも最適なパッド部31の配置を行うレイアウト工程だけで済む。このため、スタックドパッケージ技術を用いた機種設計開発による開発期間短縮および開発効率の大幅な向上を図ることができる。

【0037】なお、本実施形態では、1チップマイクロコンピュータチップ3およびフラッシュメモリチップ2の2チップに限って説明を行ったが、これに限らず、これらのチップ2、3の他に、または、これらのチップ2、3に代えて、他の機能を有するチップを用いてもよい。即ち、本実施形態では、マイクロコンピュータチップ3とフラッシュメモリチップ2との2チップをスタックドパッケージとして統合した例について説明したが、当然この技術は、複数のチップをスタックしてパッケージングする場合にも適用できることは言うまでもないことである。

#### 【0038】

【発明の効果】以上のように、請求項1によれば、1チップの各入出力端子の入出力回路部と入出力接続部とを分離して入力回路部をチップ本来の仕様回路側に設けるようにしたため、フレキシブルなパッド配置を行うことができ、新たにチップの機種展開の変更などが発生した場合にも、再度、対象となるチップの端子配置に対して最初の工程からの全レイアウトの設計をやり直す必要がなく、機種設計開発にかかる時間と労力を効率的なものとすることができる。

【0039】また、請求項2、3によれば、フレキシブルなパッド配置可能なチップと他の既存のチップとを例えばスタックド化する際に、前者のチップは、後者のチップに対する該当端子の最適な最短位置にパッド配置することができる。よって、フレキシブルな入出力接続部とこれに対応する既存チップの入出力接続部とを接続す

るだけでよいので、従来のように最初の工程からのレイアウト変更を行う必要をなくすることができる。このような柔軟性に富んだパッド配置のレイアウトデータ構成を有するスタックドパッケージ搭載チップの開発手法を得ることができる。

【0040】さらに、請求項4によれば、配線前の工程までウエハを作りだめした場合には、ユーザ仕様が解った段階で、メタル配線データを設計すればよく、また、配線工程までウエハを作りだめした場合には、ユーザ仕様解った段階で、メタル配線データのみを設計し直したりすることで、開発期間の短縮ができる。更には、メタル配線だけではなく、入出力接続部単位での並べ替えを、相手のチップに合わせて最適な配置状態とすることも、開発期間の短縮ができる。これらの場合に、開発期間短縮とコストダウンと言う立場で考えると、上記のウエハをメタル配線工程の前まで準備しておく方式が、最も有効である。

#### 【図面の簡単な説明】

【図1】本発明の一実施形態における概略的な1チップマイクロコンピュータチップのレイアウト構成図である。

【図2】本発明の一実施形態における半導体スタックデバイスの平面図である。

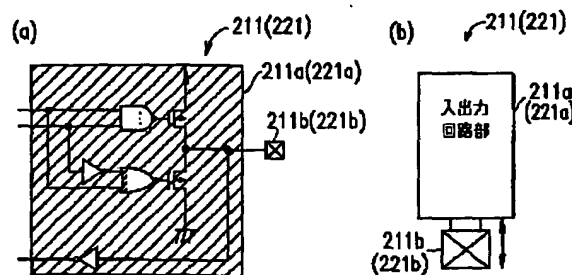
【図3】従来のシステムデバイスのスタックド化した概略的なレイアウトチップ構成の一例を示す平面図である。

【図4】(a)は従来の入出力端子を示す回路図、(b)はそのレイアウト構成図である。

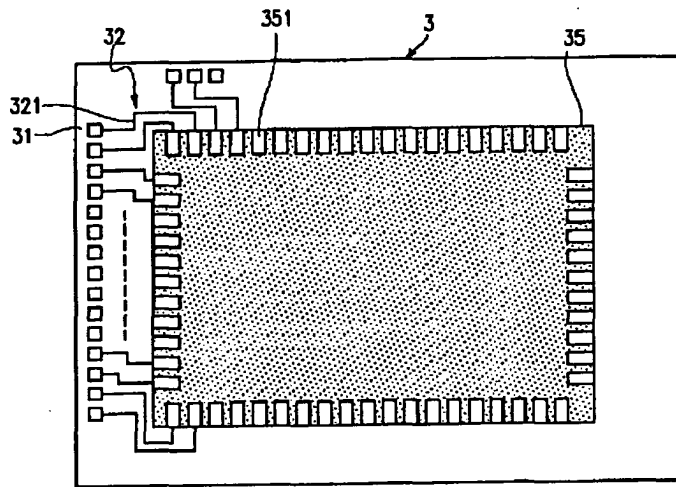
#### 【符号の説明】

- 1 半導体スタックデバイス (システムデバイス)
- 2 フラッシュメモリチップ
- 21 入出力端子
- 3 1チップマイクロコンピュータチップ
- 31 パッド部 (入出力接続部)
- 32 配線エリア
- 321 接続ライン
- 35 内部回路
- 351 入出力端子

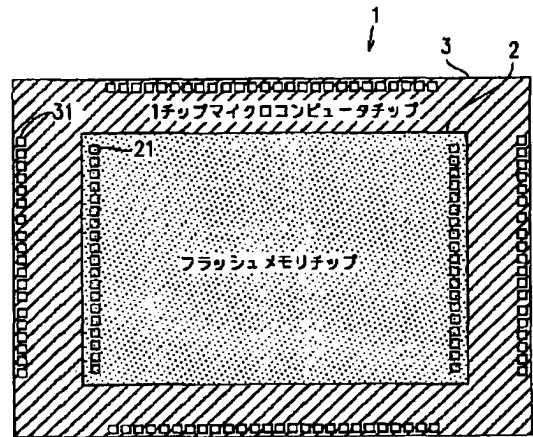
【図4】



【図1】



【図2】



【図3】

